

メニーコアの実装 状況報告

メニーコアの設計中

- SH-2互換プロセッサコア (80%)
 - 記述(ほぼ)完了, デバッグ中
- キャッシュ (40%)
 - I\$ 完了
 - D\$ デバッグが終わらない
- ネットワーク (0%)
 - Shuffle Exchangeで繋ぐ; 未着手

プロセッサコア概要

- SH-2互換
 - GCC, binutilsが使える
 - 1 inst/1 cycle が殆ど
- SH-4命令を一部含む(予定)
 - PREF (プリフェッチ)
 - MOVCA.L, OCBI, OCBP, OCBWB WBキャッシュ対応

キャッシュ概要

- ライトバック、Direct-mapped
 - 容量が増やせないなのでレイテンシを詰めたい
- バスエラー、権限違反対応
 - 先読みしてもCPUが使うまで例外にならない
- MMUをつけるか迷っている

MMUをつけるか迷っている

- トランザクショナルメモリに対応させたい
 - バスエラーを発生させたい
- MMUは(別の仕事で設計したものが)ある
 - 5-levelのpagetable tree, 可変ページサイズ
 - ページテーブル探索をCPUと独立に行う
 - (SH-2本体-乗算器)より大きい
- ページングはしないと思う
 - Intel P6のMTRR的なもので代用しようか？

ネットワーク

- どういう風にするか考えている
 - 全体でのコヒーレンシは無しの方で
- 基本的にいつものShuffle Exchangeだが...
 - 実際には初期化が大変
 - 初期化用の放送ネットワークをつけるか？
 - メモリアクセスを便利にルーティングしてやるか？

コアのデバッグ状況

- 未実装命令
 - DMUL (32x32->64乗算), MAC (積和)
 - GCCではあまり出てこない
- 単体命令+4命令連続テストは目視で行った
 - 「まあ大丈夫そうだ」
- JPEGデコーダをGCCでコンパイルして実行
 - 動かぬ
- DSPstoneなどの単純なプログラムでテスト続行
 - 予定