

「NoCのレイテンシとバンド幅」

# はじめに

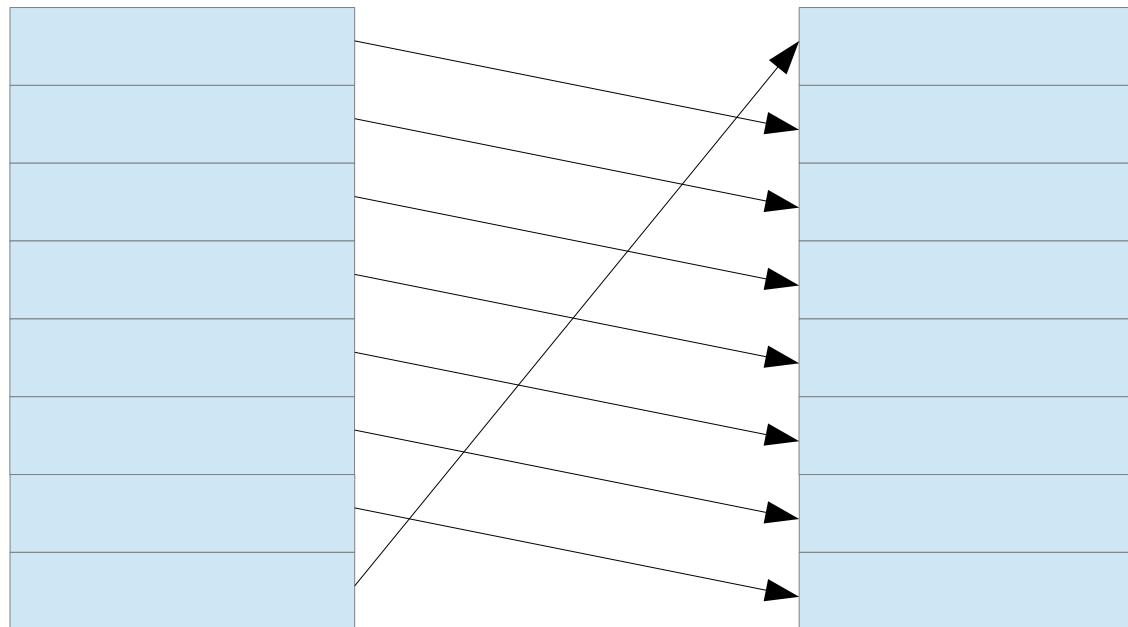
- プロセッサ・コアの間のレイテンシとバンド幅を測定したい
  - メニーコアだと状況は異なるのか？
- 4種類のプロセッサで測定
  - Oracle SPARC T4 クロスバー
  - Intel Xeon E5-2690 リング
  - Intel Xeon Phi [0x8086,0x2250] リング
  - Tilera TILE-Gx36 メッシュ

# 遅延の測り方

- 2つのプロセスがmmapしてメモリ領域を共有
- 共有空間でcompare-and-swap
- ピンポン遅延を測定

# バンド幅の測定

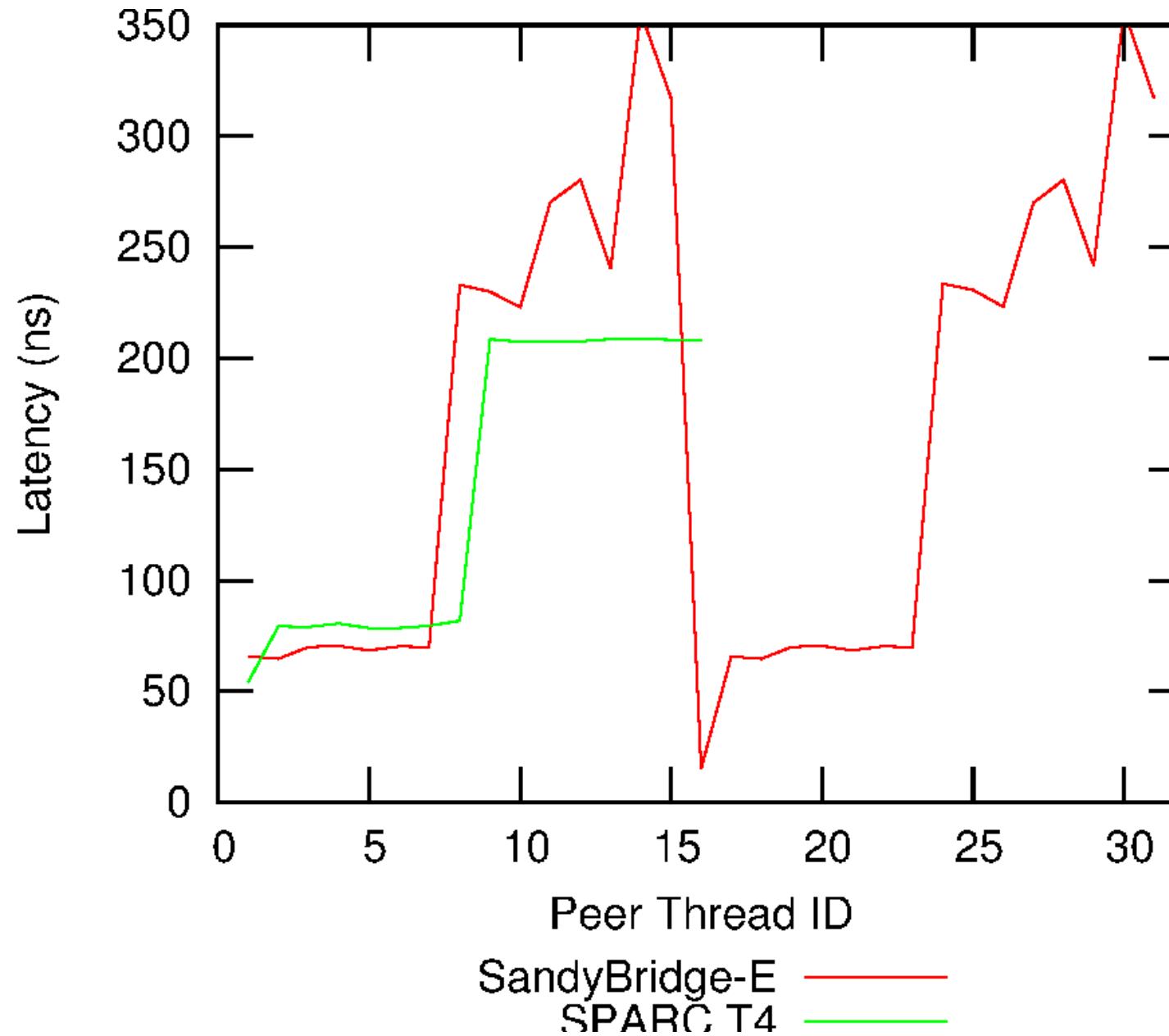
- ・プロセッサコアの間をデータが移動するようなプログラムを作った
- ・ワード単位でメモリ領域を回転する



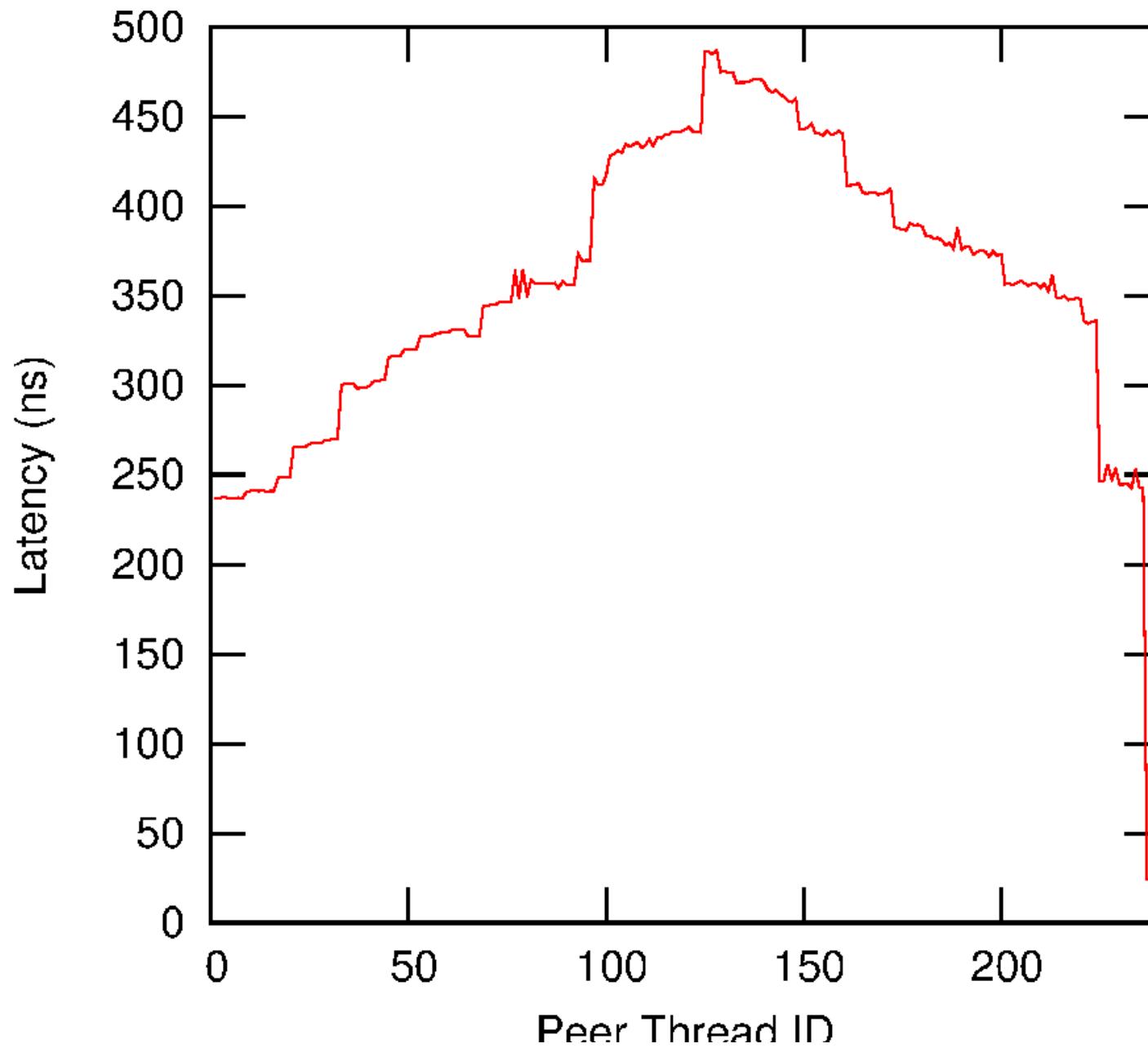
# バンド幅の測定 (II)

- データのサイズを変えて、その差分で実際のデータ転送速度を測定
  - L3, L2, L1に載るサイズ
- 外部メモリへのバンド幅を測定しているだけではない
  - STREAMとは測っているものが異なる

# レイテンシ (T4, SandyBridge-E)



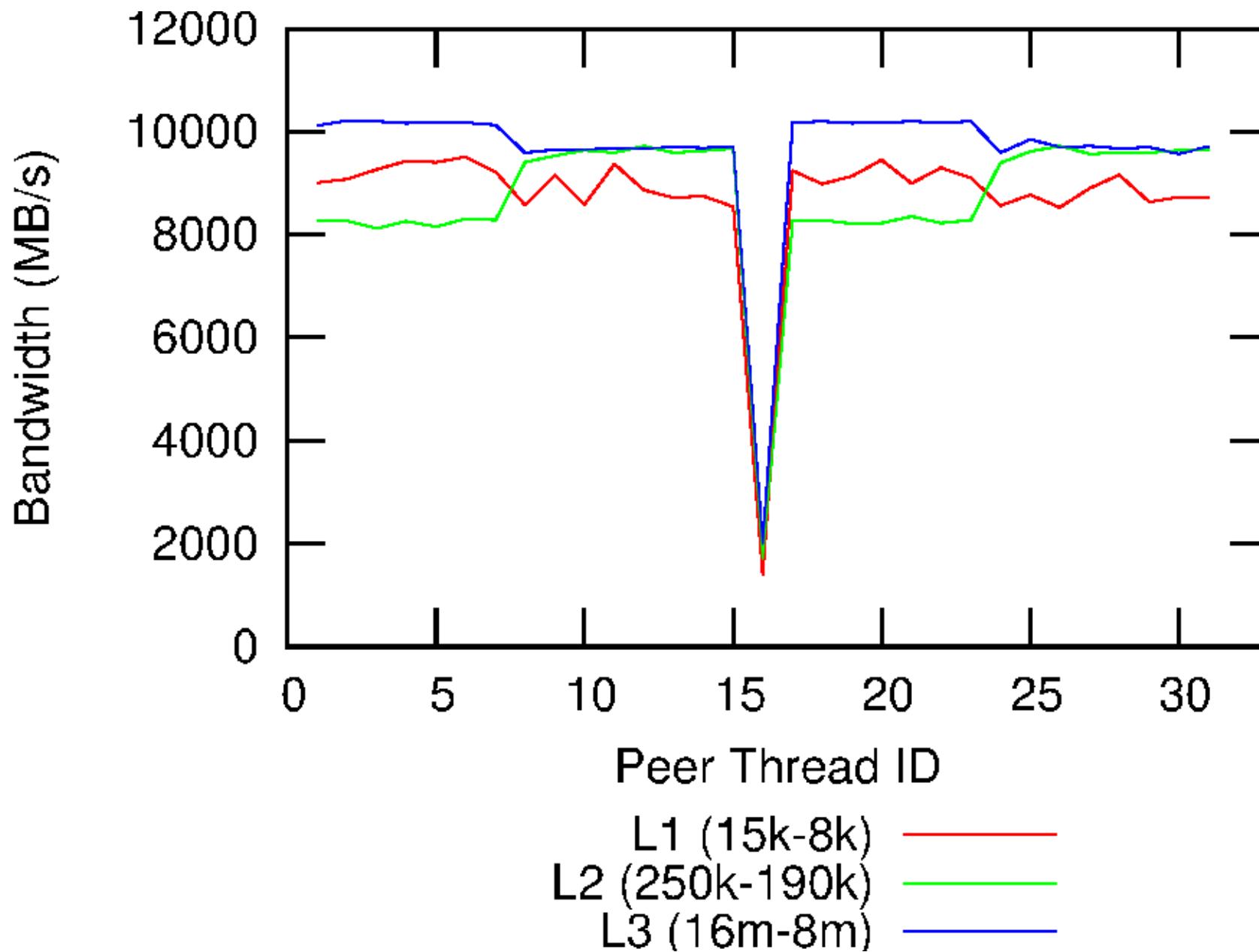
# レイテンシXeonPhi



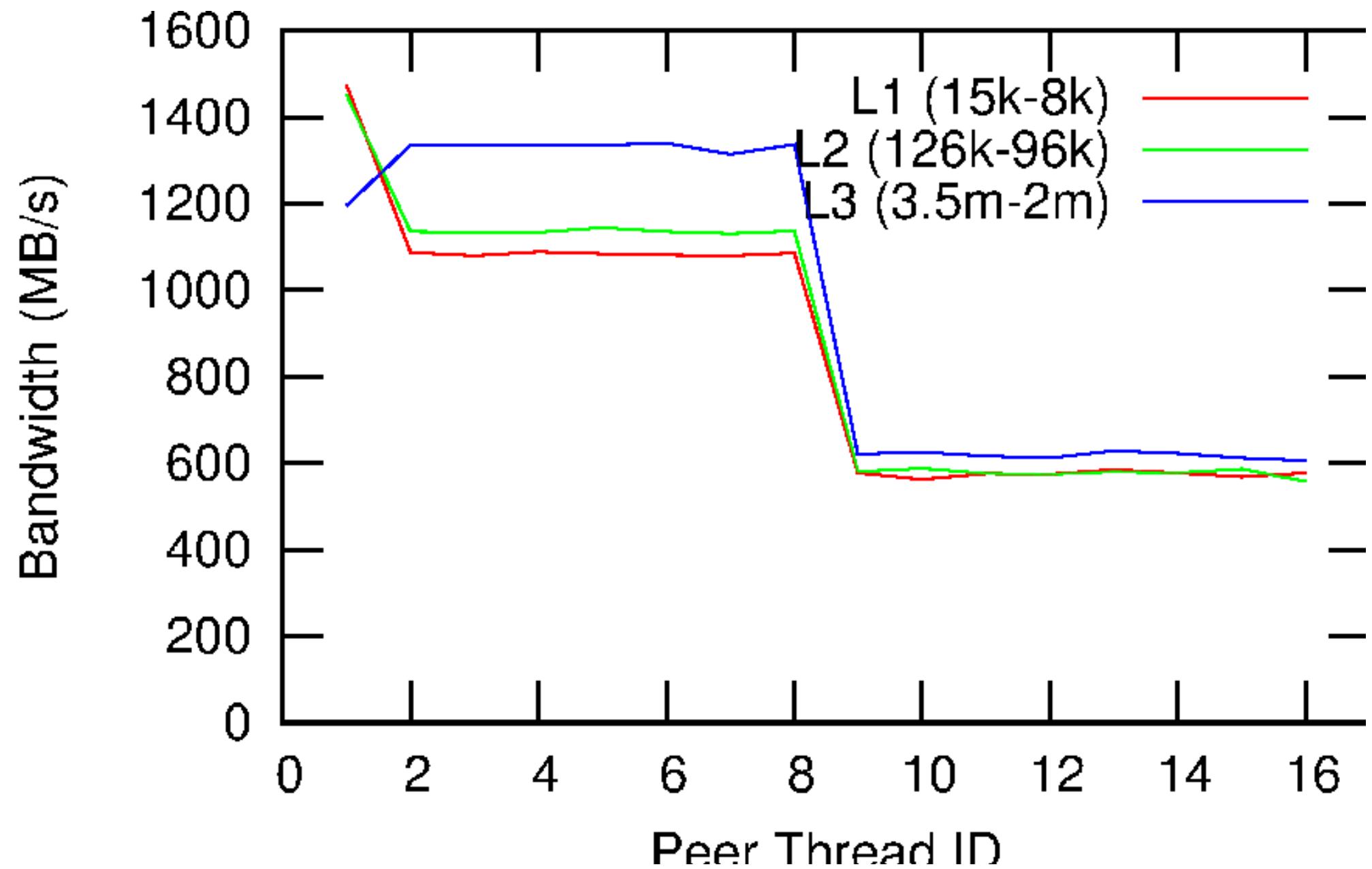
# レイテンシ TILE-Gx36

ns	0	1	2	3	4	5
0	N/A	63.072705	64.063096	63.063598	63.249302	63.418102
6	65.078998	63.915205	62.864804	63.359094	64.238286	65.905619
12	66.895294	65.128803	63.479495	64.322305	66.044378	67.71121
18	68.397093	67.132616	63.97531	66.029096	67.693806	69.223094
24	70.060396	68.504405	65.178514	67.5529	69.224191	71.392918
30	72.214985	70.287108	66.823101	69.351983	70.990801	73.443508

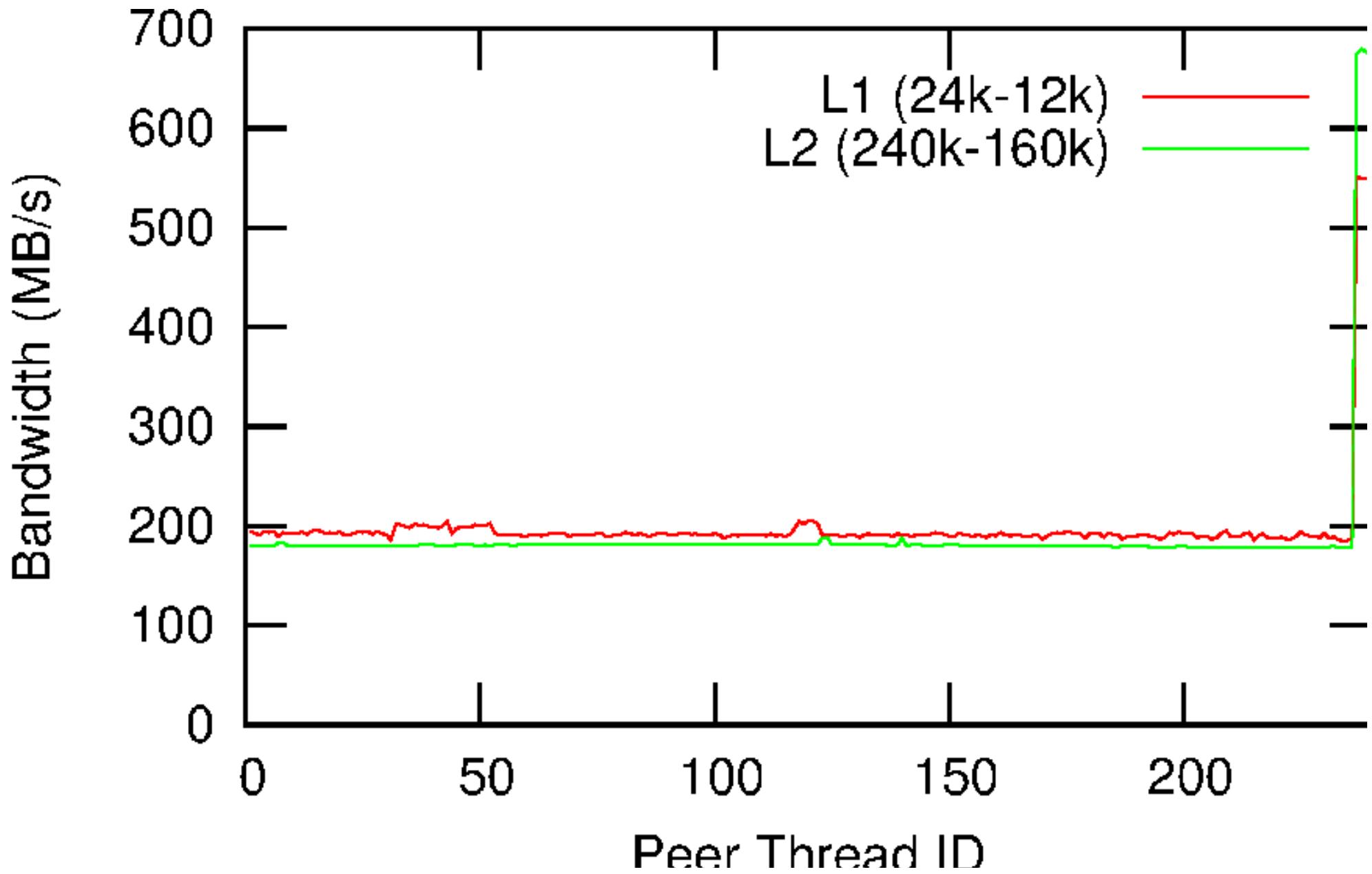
# バッンド幅 SandyBridge-E



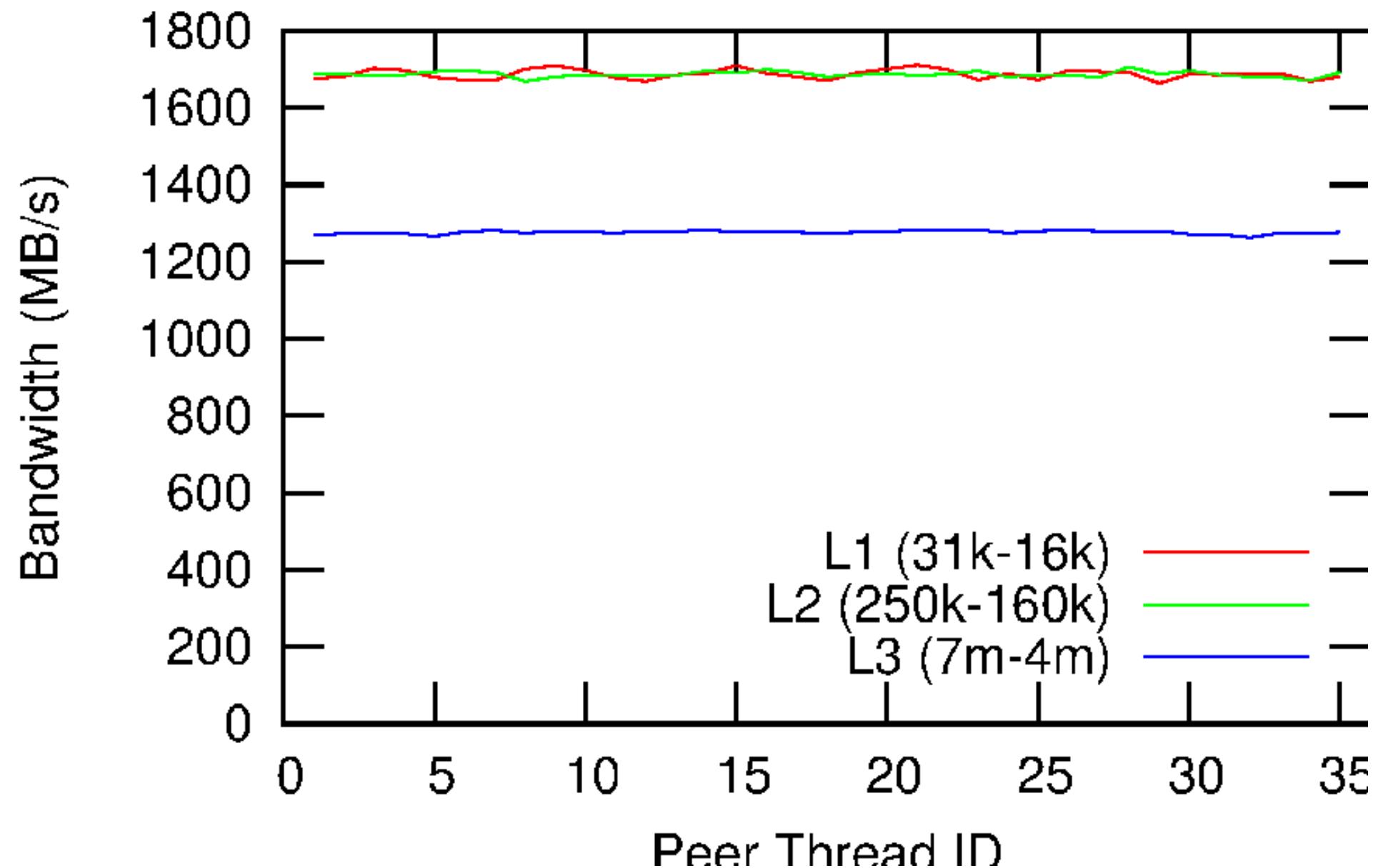
# バンド幅 T4



# バッド幅 XeonPhi



# バンド幅 Tilera



# 結論

- チップ内でのデータ共有の効率はものによりかなり異なる
- 現在のプログラムは共有データはほぼ外部メモリに存在
- 将来的にはMemory Wallによりチップ内でデータを使いまわす必要あり

(時間があれば)  
ハズウェル

# 3システムの性能、電力を測定

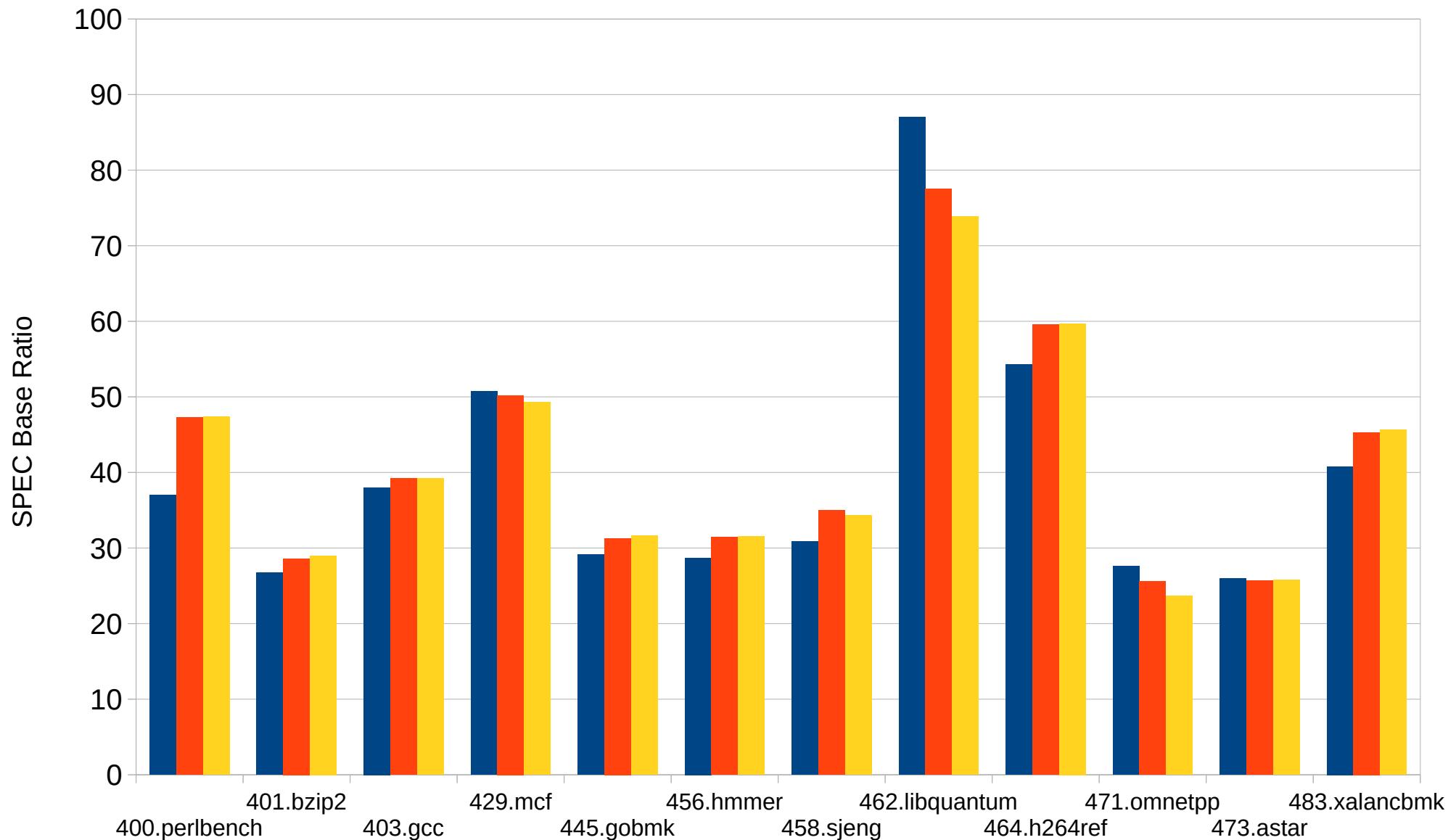
- IvyBridge
  - ASRock P77 Pro3
  - Core i7 3770K (Max 3900 MHz)
- Haswell1
  - MSI B85M-G43, Haswell対応電源
  - Core i7 4770S (Max 3900 MHz, 65W)
- Haswell2
  - Asus Z87M-PLUS, Haswell対応電源
  - Core i7 4770 (Max 3900 MHz, 84W)

# 測定条件

- HaswellはAVX2のためGCC 4.8.1を利用
  - IvyBridgeはGCC 4.5
  - 4.8と4.5は性能差は少なかった
  - 後日IvyBridgeも4.8で測定予定
- Linux 3.8.13
  - HDDなどは接続していない

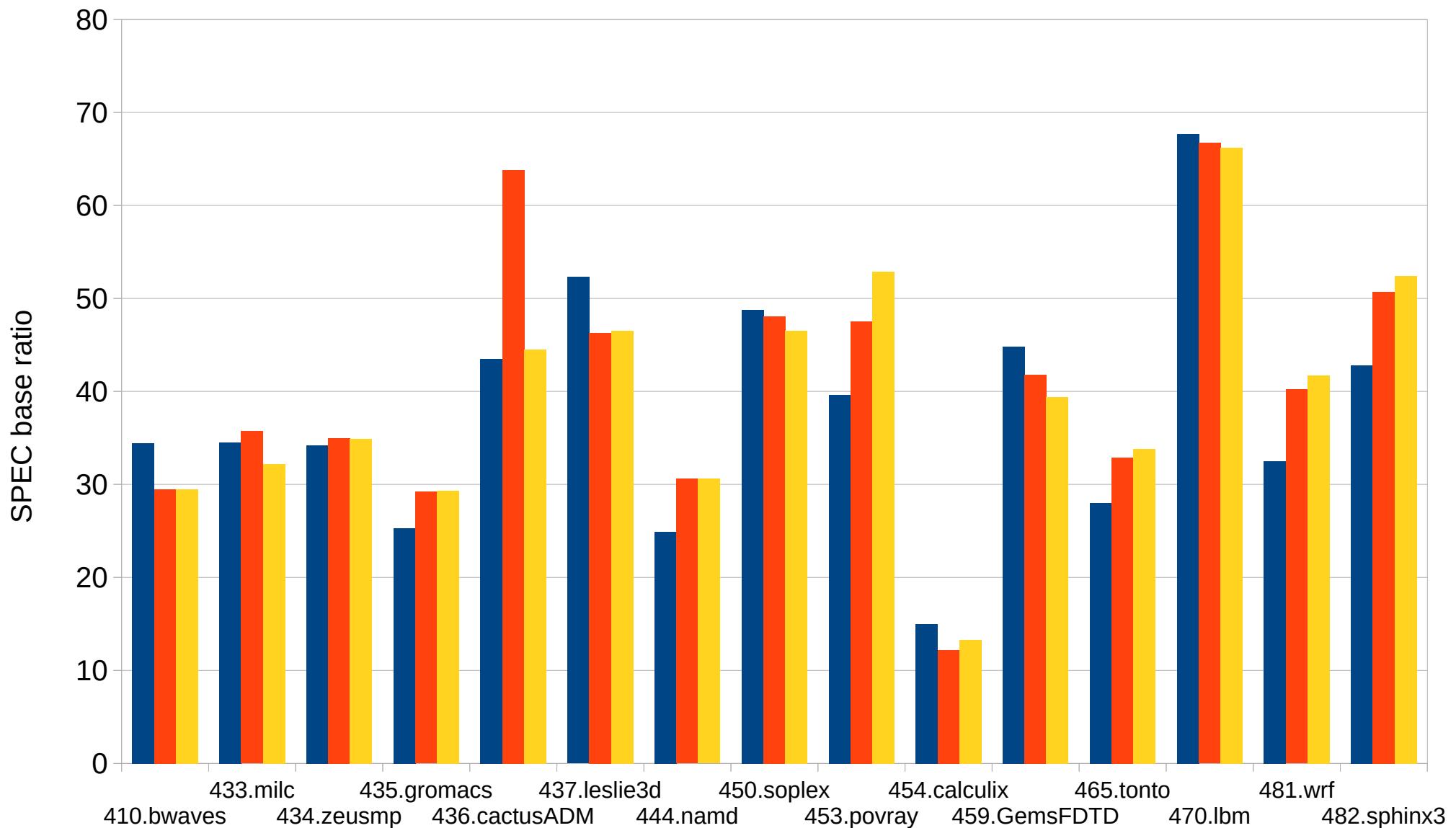
# CINT2006

■ 3770K ■ 4770S ■ 4770(無印)



# CFP2006

■ 3770K ■ 4770S ■ 4770(無印)



# 電力 (W)

	待機時	1スレッド	NPB最大値
I7 3770K	33	55	120
I7 4770	40	60	196
I7 4770S	65	112	120

# 結論

- 性能はあまり変わっていないように見える
  - Perlbenchなどは大きく上がっている
- 消費電力も変化していない
  - 待機時・最大ロード時とも
  - 4770Sはハズレ石？
- 今後: Intel Compilerを使って再測定