

タイトル

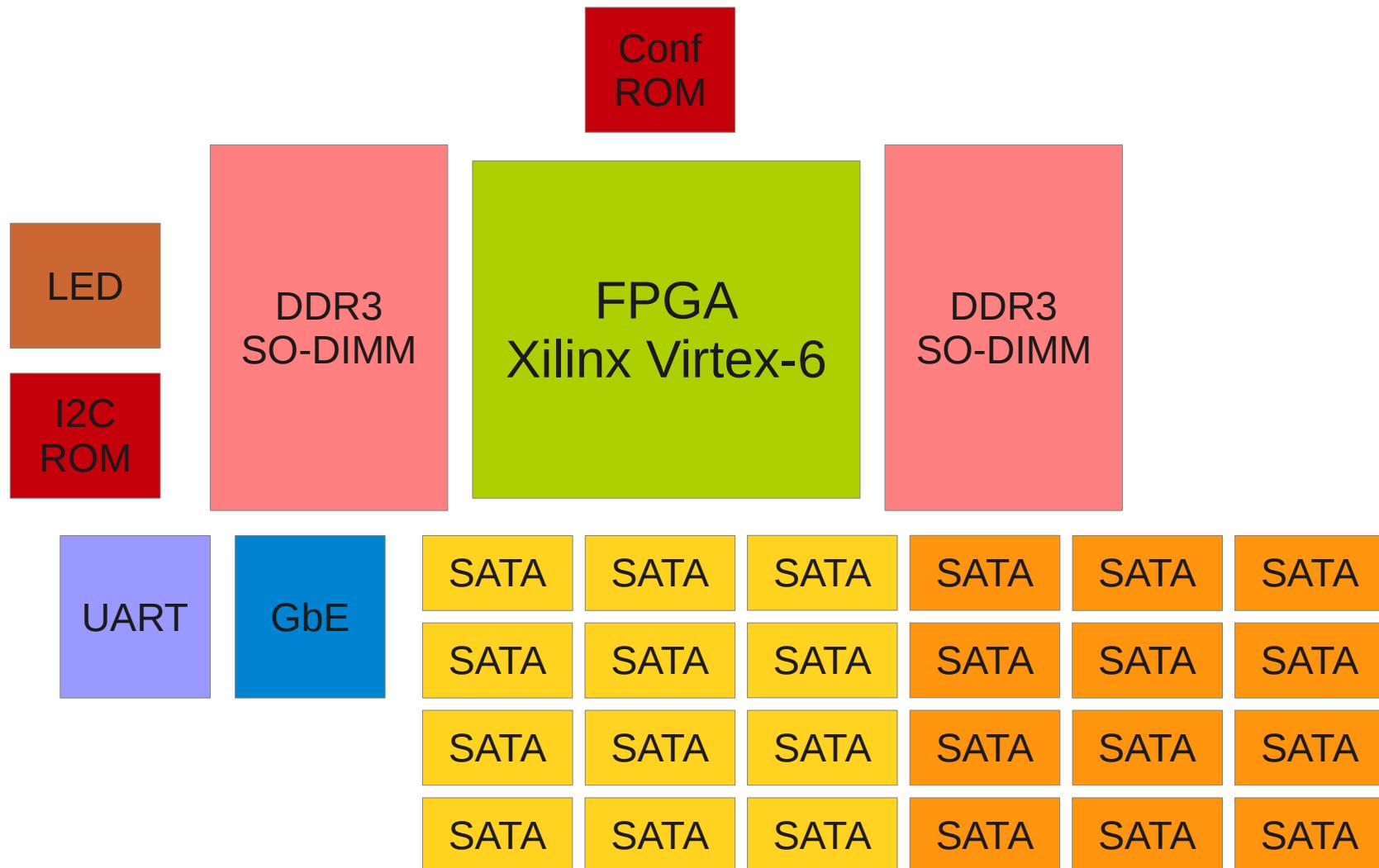
今月やったこと

- 実験用の試作FPGA基板を設計した
 - 完了
- 実験用基板のロジック・ソフトウェアの開発
 - 作業中

試作基板目的

- 超メニーコアアーキテクチャの実現可能性を実証
- High-radix Networkでこれらを接続し、性能を評価

実験用試作基板



試作基板概要

- 24ポートSATAコネクタ
 - インターコネクト用, 3.0 Gbps half-duplex
 - 合計72Gbps
 - 12ポートがホスト側、残りがペリフェラル側
 - (SATAケーブルはすべてストレート)

ソフトウェア

- Boot用プログラムを作成中
 - GbEからソフトウェアをダウンロードする
 - BOOTPクライアント 未着手
 - NFSクライアント Linux上のユーザプロセスとして実装済、デバッグ中

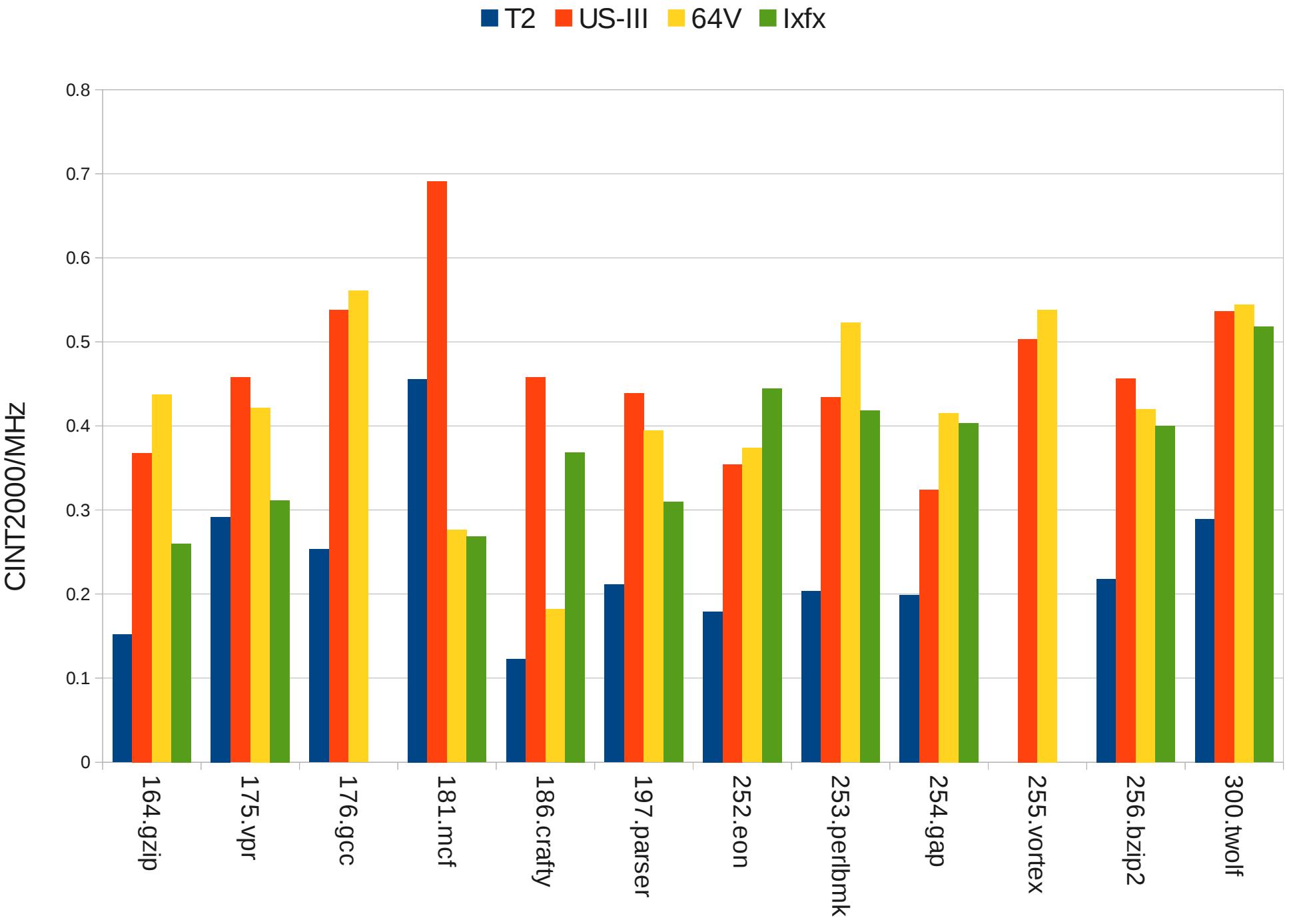
UltraSPARC T2

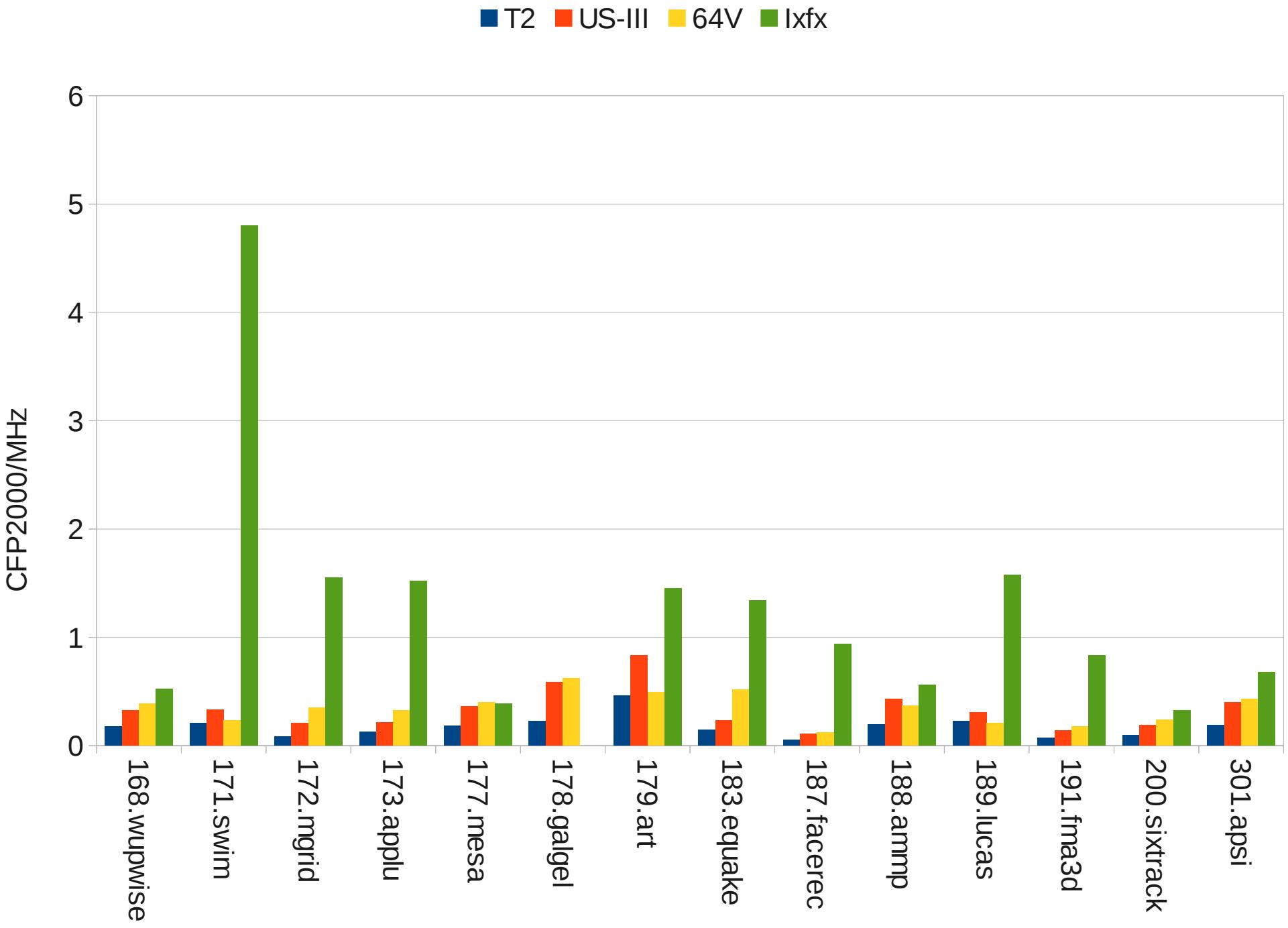
T2 評価手法

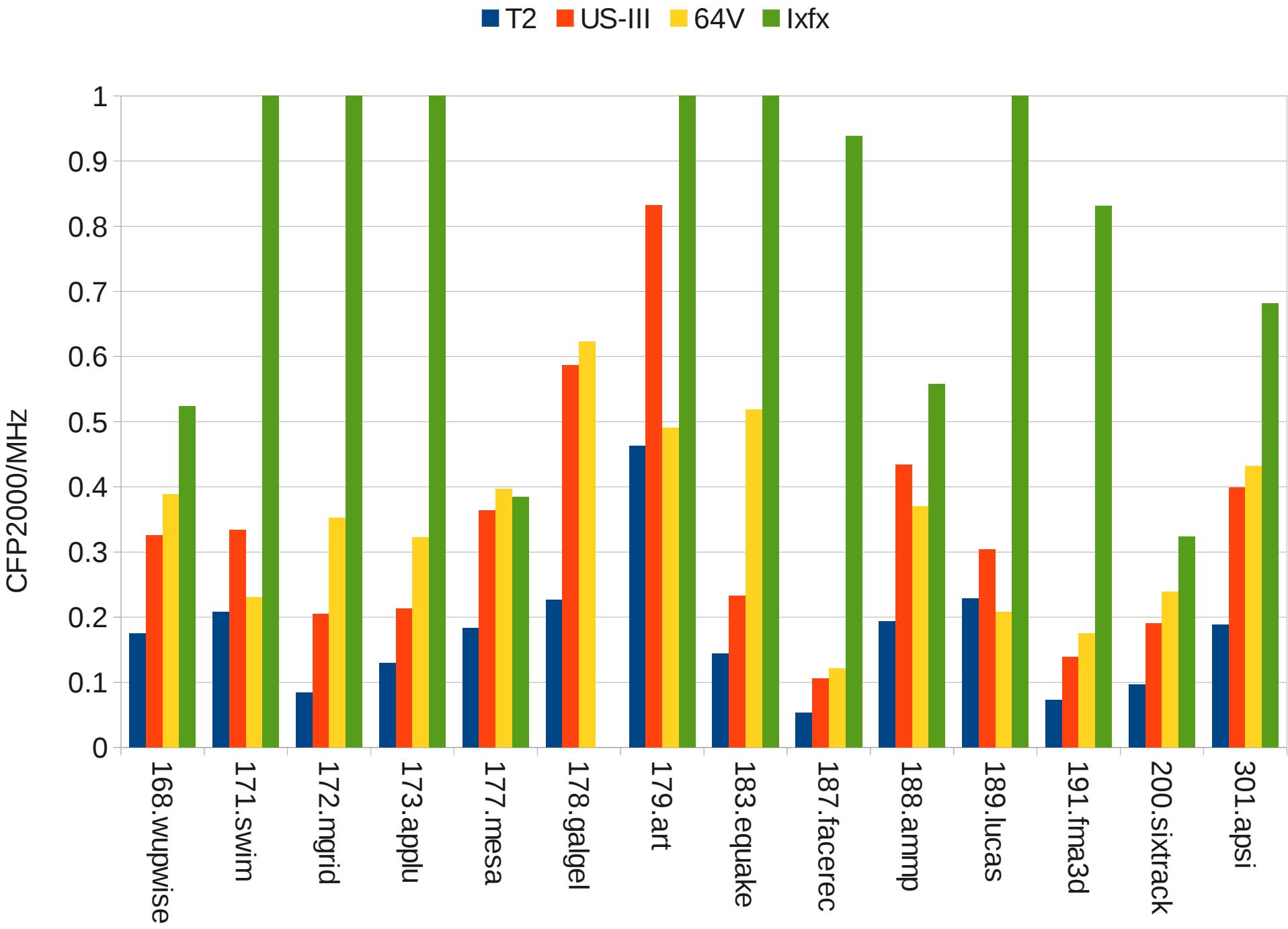
- すべてサイクルあたり性能に換算している
- シングルスレッドの性能
 - CINT2000, CFP2000
- ソケットあたりの性能
 - NPB OpenMP

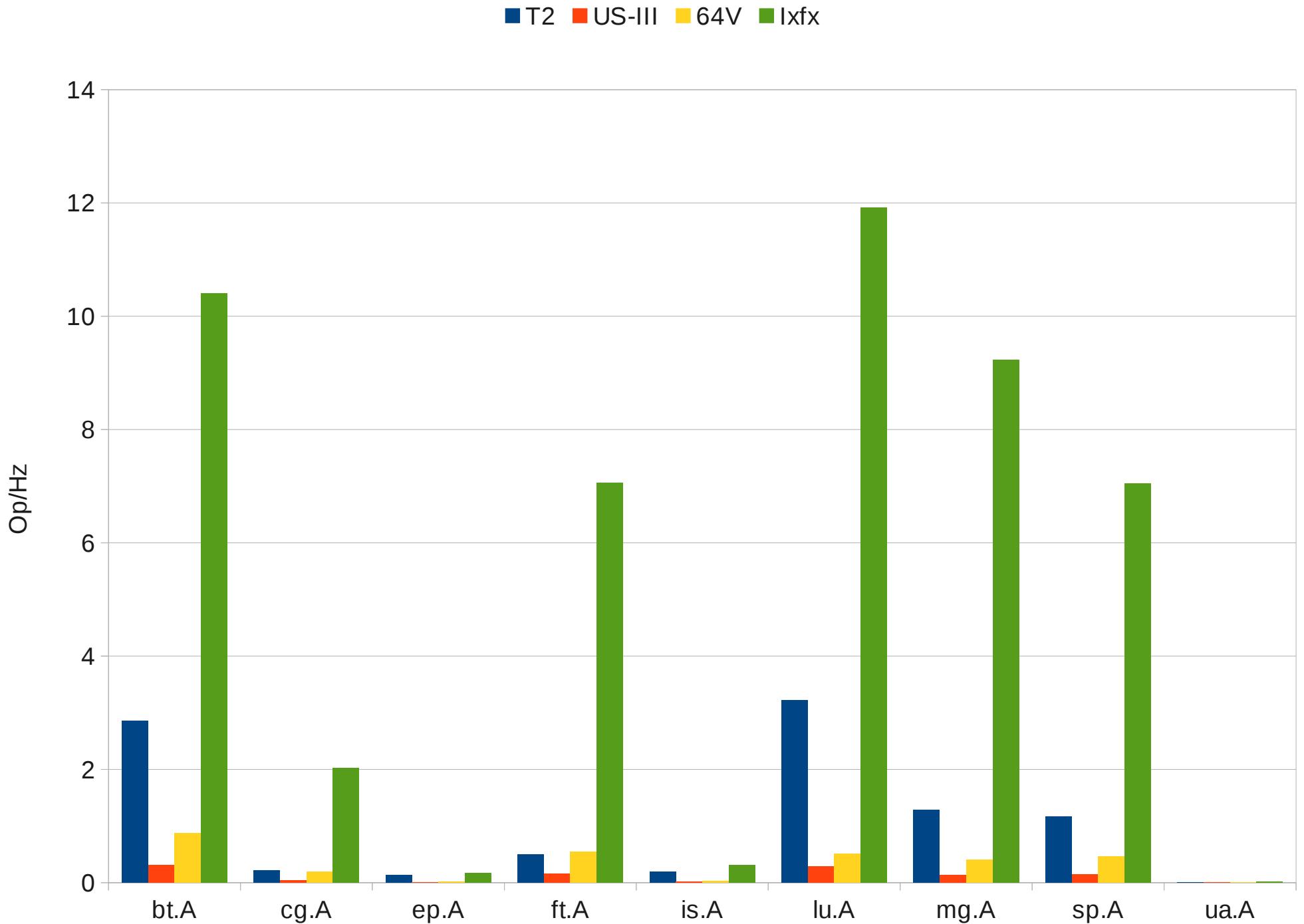
評価環境

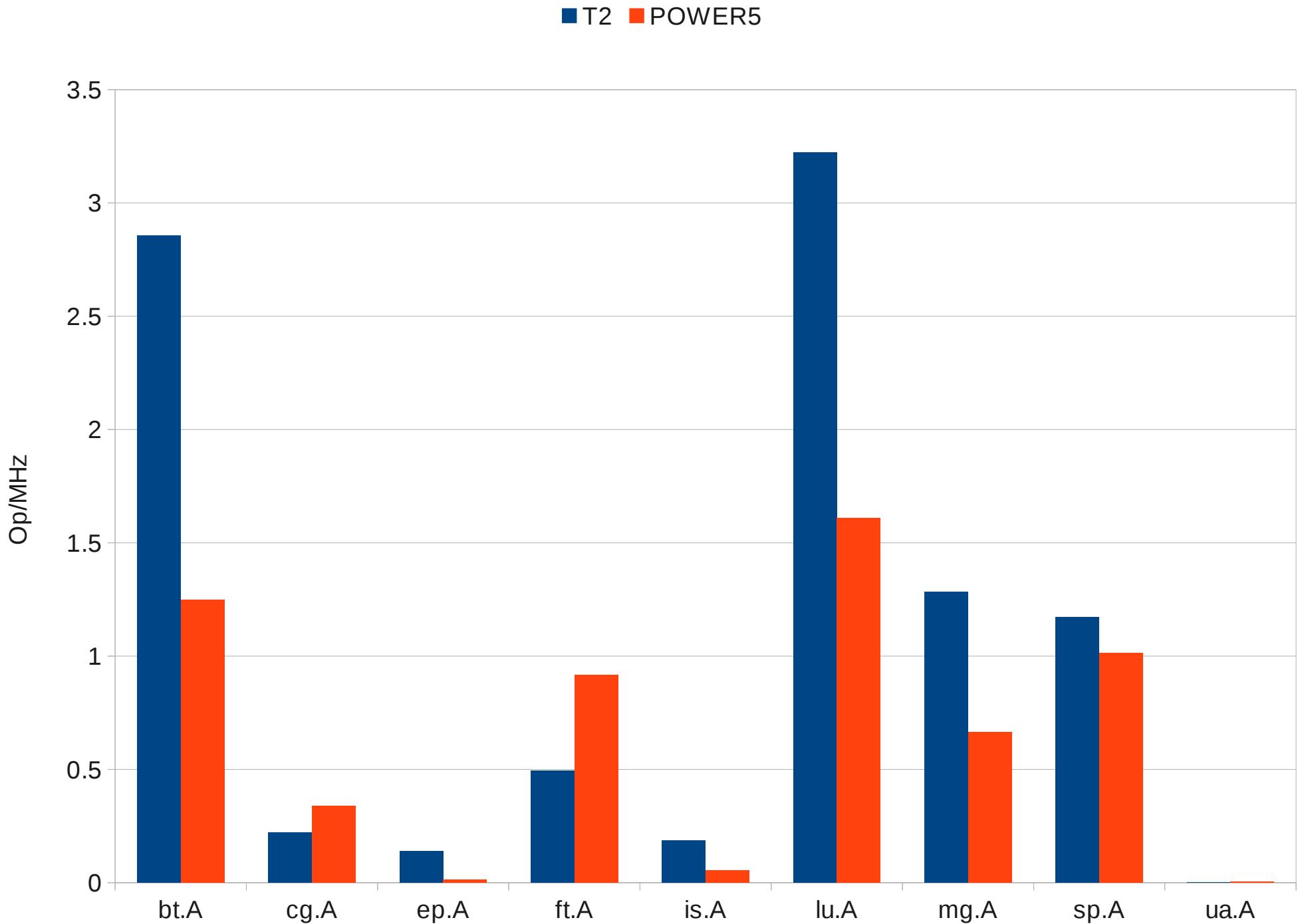
- SPARC Enterprise T5120
- Sun Blade 2000 (UltraSPARC IIIcu)
- PRIMEPOWER450 (SPARC64 V)
- PRIMEHPC FX10 (SPARC64 IXfx)
 - Fp系はFujitsu Compilerを使った
- その他のマシンはすべてGCC 4.5系











UltraSPARC T2 結論

- Single-thread性能/MHzは直前世代のコアの1/2
- ソケットあたりでは同世代のプロセッサより高速なベンチマークあり
- 現在の技術ではコア数をより増やせる
 - 増やしたときの問題(データ共有、外部メモリバンド幅)の解決が必要

スライド

何をしたかについて

- 性能評価
 - FX10, BG/Q, Ivy Bridge, Piledriverおよび前世代の各マイクロアーキテクチャの評価
 - 消費電力の測定
 - 各コンパイラ生成コードの基本的な評価
- 来年の準備
 - 試作基板の設計・製造